

ステレオ、24ビット、192kHz、マルチ・ビット ΣΔ D/Aコンバータ

AD1853*

特長

5 V、ステレオ・オーディオD/ACシステム
16/18/20/24ビット・データに対応
24ビットと192 kHzのサンプル・レートをサポート
広範なサンプル・レートに対応：32、44.1、48、88.2、96、192 kHz
アイドル・トーンとノイズ・フロアを削減した「完全差動直線性再生」によるマルチビット・シグマーデルタ変調器
データを直接スクランブルするD/ACージッターの影響を最小に
最適な性能を達成する差動出力
48kHzでのS/N比（ミュートなし）：120dB（Aウェイト・モノ）
：117dB（Aウェイト・ステレオ）
48kHzでのダイナミック・レンジ（ミュートなし）
：119dB（Aウェイト・モノ）
：116dB（Aウェイト・ステレオ）
－107dBのTHD＋N（モノ・アプリケーション回路、図30参照）
－104dBのTHD＋N（ステレオ）
115dBのストップバンド減衰（96kHz）
クリックレス・ボリューム・コントロール内蔵
ハードウェア／ソフトウェア制御可能なクリックレス・ミュート
シリアル（SPI）制御：シリアル・モード、ビット数、補間係数、ボリューム、ミュート、ディエンファシス、リセット
サンプル・レート32、44.1、48kHz対応のデジタル・ディエンファシス処理
5つのマスタ・クロック周波数をサポートするクロック自動分周回路
柔軟なシリアル・データ・ポート：右寄せ、左寄せ、I²S互換、DSPシリアル・ポート・モード対応
28ピンSSOPプラスチック・パッケージ

アプリケーション

ハイエンド：DVD、CD、ホーム・シアター、カーオーディオ、音楽編集用キーボード、デジタル・ミキシング・コンソール、デジタル音響プロセッサ

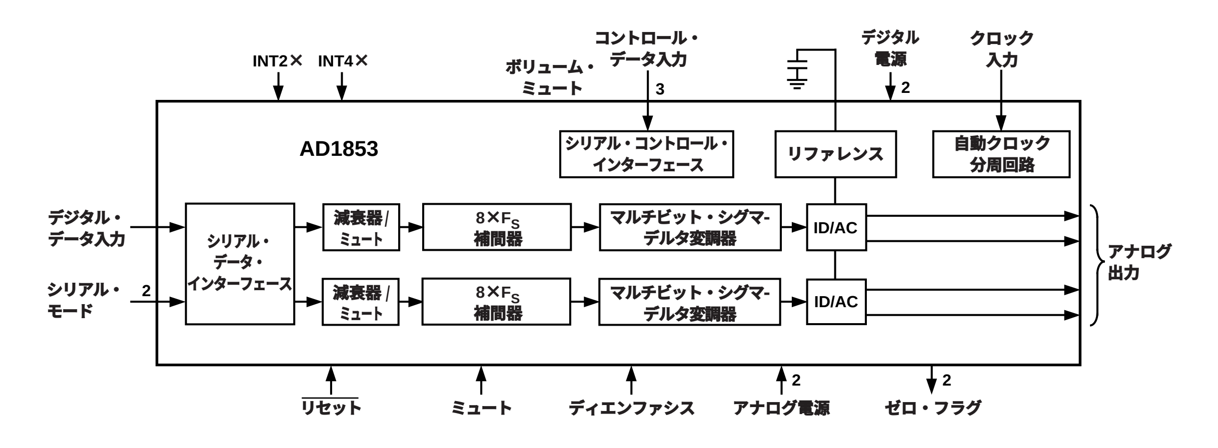
概要

AD1853は全機能を内蔵した高性能ステレオ・デジタル・オーディオ再生システムICです。高性能デジタル補間フィルタ、マルチビット・シグマーデルタ変調器、および連続時間電流出力アナログD/Aコンバータで構成されています。また、SPI互換シリアル・コントロール・ポート経由でプログラムできる内蔵クリックレス・ステレオ減衰器とミュート機能を備えています。AD1853は、既存の全DVDフォーマットと完全に互換性があり、最大24ビットのワード長で48、96、192kHzサンプル・レートをサポートします。また、サンプル・レート32、44.1、48kHzで「Redbook」規格の50/15μsデジタル・ディエンファシス・フィルタも提供します。

AD1853は、各種のA/Dコンバータ、DSPチップ、AES/EBUレシーバ、サンプル・レート・コンバータに外付けロジックなしで相互接続可能な、非常に柔軟なシリアル・データ入力ポートを備えています。AD1853は、左寄せ、I²S、右寄せ、またはDSPシリアル・ポート互換モードに設定できます。また、MSB優先、2の補数フォーマットのシリアル・オーディオ・データを受け入れます。

AD1853は＋5V単電源で動作します。シングル・モノリシック集積回路で製造され、動作温度範囲は0～＋70℃、28ピンSSOPパッケージにおさめられています。

機能ブロック図



*特許申請中。

REV.A

アナログ・デバイセズ株式会社

本　　社／東京都港区海岸１－１６－１　電話03（5402）8200　〒105－6891
ニューピア竹芝サウスタワービル
大阪営業所／大阪市淀川区宮原３－５－３６　電話06（6350）6868㈹　〒532－0003
新大阪第２森ビル

AD1853―仕様

特に記述がない場合のテスト条件

電源電圧（AV_{DD}、DV_{DD}）	＋5.0V
周辺温度	＋25℃
入力クロック	24.576MHz（512×F_Sモード）
入力信号	996.094kHz
	－0.5dBフルスケール
入力サンプル・レート	48kHz
測定帯域幅	20Hz ～ 20kHz
ワード幅	20ビット
入力電圧HI	3.5V
入力電圧LO	0.8V

アナログ性能（図参照）

	Min	Typ	Max	単位
分解能		24		ビット
S/N比（20Hz ～ 20kHz）				
フィルタなし（ステレオ）		114		dB
フィルタなし（モノ、図30参照）		117		dB
Aウェイト・フィルタ使用（ステレオ）		117		dB
Aウェイト・フィルタ使用（モノ、図30参照）		120		dB
ダイナミックレンジ（20Hz ～ 20kHz、－60dB入力）				
フィルタなし（ステレオ）	107.5	113		dB
フィルタなし（モノ、図30参照）		116		dB
Aウェイト・フィルタ使用（ステレオ）	110	116		dB
Aウェイト・フィルタ使用（モノ、図30参照）		119		dB
全高調波歪み＋ノイズ（ステレオ）	－94	－104		dB
		0.00063		%
全高調波歪み＋ノイズ（モノ、図30参照）		－107		dB
		0.00045		%
アナログ出力				
差動出力範囲（I_{REF}に1 mAを入力したときの±フルスケール）		3.0		mA p-p
各出力ピンの出力容量			30	pF
帯域外エネルギー（0.5×F_S ～ 75kHz）			－90	dB
CMOUT		2.75		V
DC精度				
ゲイン誤差		±3.0		%
チャンネル間ゲイン・ミスマッチ	－0.15	0.01	＋0.15	dB
ゲイン・ドリフト		25		ppm/℃
チャンネル間クロストーク（EIAJ法）		－125		dB
チャンネル間位相偏差		±0.1		Degrees
ミュート減衰量		－100		dB
ディエンファシス・ゲイン誤差			±0.1	dB

注
シングルエンド電流出力範囲：1 mA±0.75 mA
右チャンネルと左チャンネルの性能は同じです（チャンネル間ゲイン・ミスマッチとチャンネル間位相偏差の仕様を除く）。
仕様は予告なく変更することがあります。

デジタルI/O（＋25℃、AV_{DD}、およびDV_{DD}＝＋5.0V±10%）

	Min	Typ	Max	単位
入力電圧HI（V_{IH}）	2.4			V
入力電圧LO（V_{IL}）			0.8	V
入力リーク電流（I_{IH}@ V_{IH}＝3.5 V）			10	μA
入力リーク電流（I_{IL}@ V_{IL}＝0.8 V）			10	μA
入力容量			20	pF
出力電圧HI（V_{OH}）	DV_{DD}－0.5	DV_{DD}－0.4		V
出力電圧LO（V_{OL}）		0.2	0.5	V

仕様は予告なしに変更することがあります。

電源

	Min	Typ	Max	単位
電源				
電圧、アナログおよびデジタル	4.5	5	5.5	V
アナログ電流		12	15	mA
デジタル電流		28	33	mA
消費電力				
アナログおよびデジタル電源の両方で動作		200		mW
アナログ電源で動作		60		mW
デジタル電源で動作		140		mW
電源変動除去比				
アナログ電源ピンに1kHz、300mVp-p信号		−77		dB
アナログ電源ピンに20kHz、300mVp-p信号		−72		dB

仕様は予告なく変更することがあります。

温度範囲

	Min	Typ	Max	単位
仕様の保証		25		℃
機能の保証	0		70	℃
保管	−55		125	℃

仕様は予告なく変更することがあります。

デジタル・フィルタ特性

サンプル・レート（kHz）	パスバンド（kHz）	ストップバンド（kHz）	ストップバンド減衰量（dB）	パスバンド・リップル（dB）
44.1	DC−20	24.1−328.7	110	±0.0002
48	DC−21.8	26.23−358.28	110	±0.0002
96	DC−39.95	56.9−327.65	115	±0.0005
192	DC−87.2	117−327.65	95	+0/−0.04（DC−21.8kHz） +0/−0.5（DC−65.4kHz） +0/−1.5（DC−87.2kHz）

仕様は予告なく変更することがあります。

群遅延

チップ・モード	群遅延計算	Fs	群遅延	単位
INT8xモード	5553/（128×Fs）	48kHz	903.8	μs
INT4xモード	5601/（64×Fs）	96kHz	911.6	μs
INT2xモード	5659/（32×Fs）	192kHz	921	μs

仕様は予告なく変更することがあります。

デジタル・タイミング（0 ～ +70℃、AV_{DD}＝DV_{DD}＝+5.0V±10%において保証）

		Min	単位
t_{DMP}	MCLK周期（F_{MCLK}＝256×F_{LRCLK}）*	54	ns
t_{DML}	MCLK LOパルス幅（全モード）	0.4×t_{DMP}	ns
t_{DMH}	MCLK HIパルス幅（全モード）	0.4×t_{DMP}	ns
t_{DBH}	BCLK HIパルス幅	20	ns
t_{DBL}	BCLK LOパルス幅	20	ns
t_{DBP}	BCLK周期	140	ns
t_{DLS}	LRCLKセットアップ	20	ns
t_{DLH}	LRCLKホールド（DSPシリアル・ポート・モードのみ）	5	ns
t_{DDS}	SDATAセットアップ	5	ns
t_{DDH}	SDATAホールド	10	ns
t_{PDRP}	PD/RST LOパルス幅	5	ns

*内蔵マスター・クロック自動分周機能の使用時は、これより高いMCLK周波数が使用できます。
仕様は予告なく変更することがあります。

絶対最大定格*

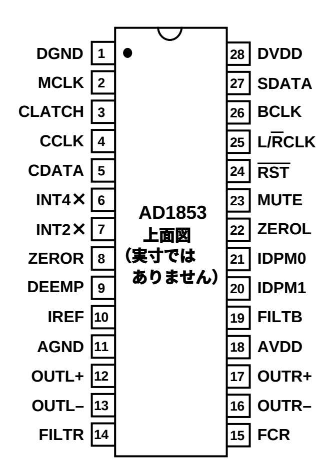
	Min	Max	単位
DV_{DD} ～ DGND	−0.3	6	V
AV_{DD} ～ AGND	−0.3	6	V
デジタル入力	DGND−0.3	DV_{DD}+0.3	V
アナログ出力	AGND−0.3	AV_{DD}+0.3	V
AGND ～ DGND	−0.3	0.3	V
リファレンス		(AV_{DD}+0.3)/2	
ハンダ付け		+300	℃
		10	秒

* 上記の絶対最大定格を超えるストレスを加えるとデバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ特性

	Min	Typ	Max	単位
θ_{JA}（熱抵抗［接合部−外気間］）		109		℃/W
θ_{JC}（熱抵抗［接合部−ケース間］）		39		℃/W

ピン配置



オーダー・ガイド

モデル	動作温度範囲	パッケージ	パッケージ・オプション
AD1853JRS	0 ～ +70℃	28ピンSSOP	RS−28
AD1853JRSRL	0 ～ +70℃	28ピンSSOP	RS−28（13インチ・リール巻）

注意

ESD（静電放電）の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このAD1853には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



ピン機能説明

ピン番号	入力/出力	ピン名称	説明
1	I	DGND	デジタル・グラウンド。
2	I	MCLK	マスター・クロック入力。外部クロック・ソースに接続してください。表IIの許容周波数を参照してください。
3	I	CLATCH	コントロール・データのラッチ入力。この入力は立上がりエッジ・センシティブです。
4	I	CCLK	コントロール・データ用のコントロール・クロック入力。コントロール入力データはCCLKの立上がりエッジで有効でなければなりません。CCLKは連続またはゲート制御できます。
5	I	CDATA	MSB優先、16ビット符号なしデータを受け入れるシリアル・コントロール入力。 コントロール情報およびチャンネル固有の減衰を規定するのに使用します。
6	I	INT4×	HIにすると4×の補間率を選択し、倍速入力（88kHzまたは96kHz）時に使用します。8×の補間率を選択するにはLOにします。
7	I	INT2×	HIにすると2×の補間率を選択し、4倍速入力（176kHzまたは192kHz）時に使用します。8×の補間率を選択するにはLOにします。
8	O	ZEROR	右チャンネル・ゼロ・フラグ出力。このピンは、右チャンネルに1024 LRクロック・サイクル以上の間、信号入力がないとHIになります。
9	I	DEEMP	ディエンファシス。この入力信号がHIのとき、デジタル・ディエンファシスがイネーブルになります。これはサンプル・レートを44.1kHzと仮定したときに、出力オーディオ・スペクトラムに50μs/15μsの出力特性を持たせるために使用されます。32kHzおよび48kHzのサンプル・レートの曲線は、SPIコントロール・レジスタ経由で選択できます。
10	I	IREF	外部バイアス抵抗の接続点。電圧はV_{REF}に維持されます。
11	I	AGND	アナログ・グラウンド。
12	O	OUTL+	左チャンネル正ライン・レベル・アナログ出力。
13	O	OUTL−	左チャンネル負ライン・レベル・アナログ出力。
14	O	FILTR	リファレンス用フィルタ・コンデンサの接続点。10μFと0.1μFコンデンサを並列に、リファレンスをAGND（ピン11）にバイパスおよびデカップルしてください。
15	I	FCR	FILTB（ピン19）に接続したコンデンサのフィルタ・コンデンサ・リターン・ピン。
16	O	OUTR−	右チャンネル負ライン・レベル・アナログ出力。
17	O	OUTR+	右チャンネル正ライン・レベル・アナログ出力。
18	I	AVDD	アナログ電源。アナログ用+5V電源に接続します。
19	O	FILTB	フィルタ・コンデンサの接続点。FCR（ピン15）に10μFのコンデンサを接続します。
20	I	IDPM1	入力シリアル・データ・ポートのモード・コントロール1。IDPM0で、4つのシリアル・モードのうち1つを定義します。
21	I	IDPM0	入力シリアル・データ・ポート・モード・コントロール0。IDPM1で、4つのシリアル・モードのうち1つを定義します。
22	O	ZEROL	左チャンネル・ゼロ・フラグ出力。このピンは、左チャンネルに1024 LRクロック・サイクル以上の間、信号入力がないとHIになります。
23	I	MUTE	ミュート。両方のステレオ・アナログ出力をミュートするにはHIにします。通常動作の場合はLOにします。
24	I	$\overline{RST}$	$\overline{リセット}$。このピンをLOにすると、AD1853はリセット状態になります。AD1853はこの信号の立上がりエッジでリセットされます。シリアル・コントロール・ポート・レジスタは、デフォルト値にリセットされます。通常動作の場合はHIに接続します。
25	I	L/$\overline{R}$CLK	入力データ用のL/$\overline{R}$クロック入力。常時接続されていなければなりません。
26	I	BCLK	入力データ用のビット・クロック入力。
27	I	SDATA	シリアル入力で、2チャンネルのMSB優先、16/18/20/24ビットの2の補数データを受け入れます。
28	I	DVDD	デジタル電源。デジタル+5 V電源に接続します。

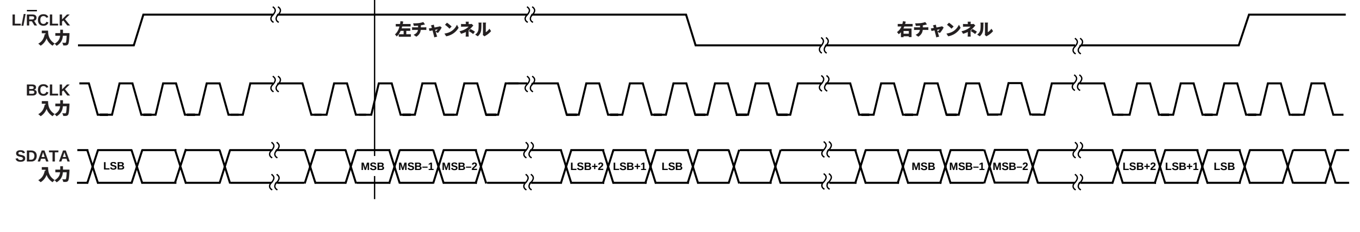


図1．右寄せモード

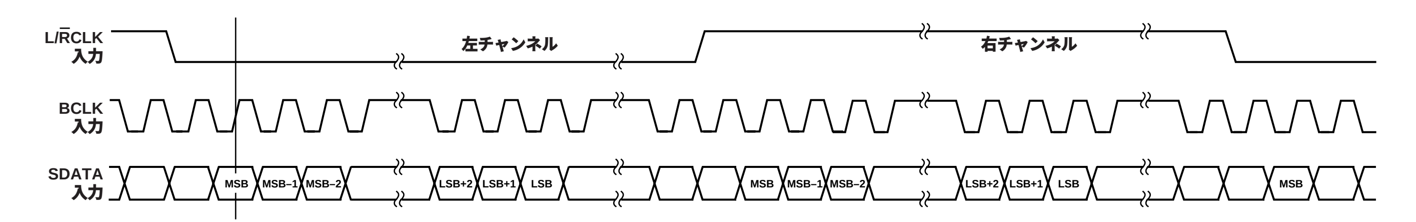


図2．I²Sモード

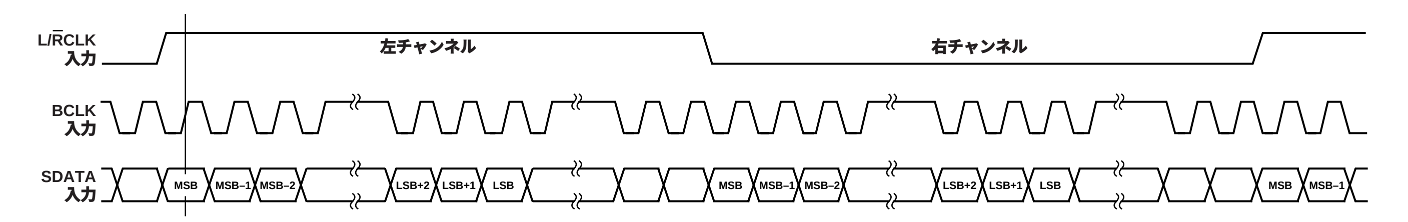


図3．左寄せモード

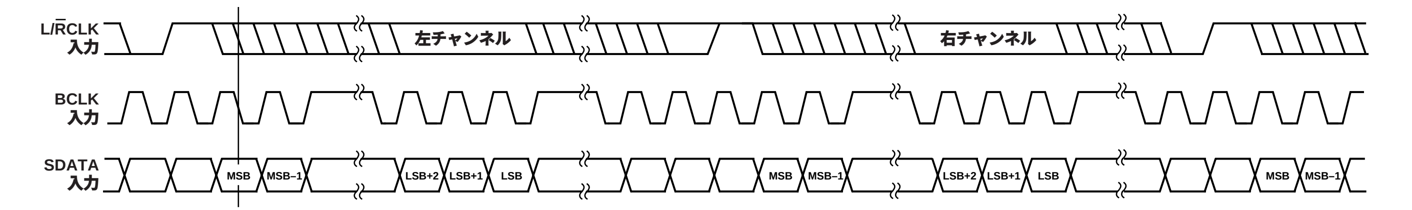


図4．左寄せDSPモード

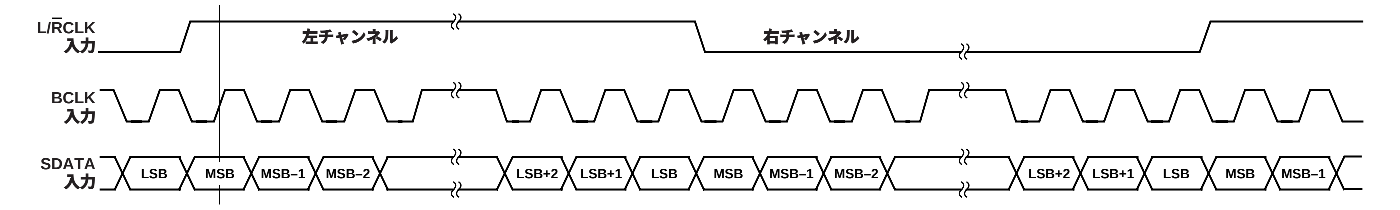


図5．32×F_Sパック・モード

動作の特長

シリアル・データ入力ポート

AD1853の柔軟なシリアル・データ入力ポートは、データをMSB優先、2の補数フォーマットで受け入れます。左チャンネル・データ・フィールドは、常に右チャンネル・データ・フィールドに先行します。シリアル・モードは、外部モード・ピン（IDPM0＝ピン21およびIDPM1＝ピン20）またはSPIコントロール・レジスタのモード選択ビット（ビット4および5）を使用して設定します。外部モード・ピンを使用してシリアル・モードを制御するには、SPIモード選択ビットをゼロ（起動時のデフォルト）に設定しなければなりません。SPIモード選択ビットを使用してシリアル・モードを制御するには、外部モード制御ピンをグラウンドしなければなりません。

右寄せモードを除くすべてのモードで、シリアル・ポートは最大24ビットまでの任意のビット数を受け入れます（余分なビットでエラーが生じることはありませんが、内部で切り捨てられます）。右寄せモードでは、コントロール・レジスタのビット8と9を使用して、ワード長を16、20、または24ビットに設定します。起動時のデフォルトは24ビット・モードです。SPIコントロール・ポートを使用しないときには、SPIピン（3、4、5）はLOに接続しなければなりません。

シリアル・データ入力モード

AD1853は2本の多重入力ピンを使用して、入力データ・ポート・モードのモード構成を制御します。

表I．シリアル・データ入力モード

IDPM1（ピン20）	IDPM0（ピン21）	シリアル・データ入力フォーマット
0	0	右寄せ（24ビット）、デフォルト
0	1	I^2S互換
1	0	左寄せ
1	1	DSP

図1は右寄せモードを示します。LRCLKは左チャンネルの場合はHIで、右チャンネルの場合はLOです。データはBCLKの立上がりエッジで有効になります。

通常動作では、64ビット・クロック/フレーム（または32ビット/ハーフ・フレーム）です。SPIワード長コントロール・ビット（コントロール・レジスタのビット8、9）が24ビット（0：0）に設定されると、シリアル・ポートはL/$\overline{R}$CLK遷移後の8番目のビット・クロック・パルスからデータを受け入れ始めます。ワード長コントロール・ビットが20ビット・モードに設定されると、データは12番目のビット・クロック位置から受け入れられます。16ビット・モードでは、データは16番目のビット・クロック位置から受け入れられます。これらの遅延は1フレーム当たりのビット・クロック数とは無関係です。したがって上記の遅延値は他のデータ・フォーマットにも対応可能です。詳細なタイミングは図6を参照してください。

図2はI^2Sモードを示します。L/$\overline{R}$CLKは左チャンネルの場合はLO、右チャンネルの場合はHIです。データはBCLKの立上がりエッジで有効になります。MSBはL/$\overline{R}$CLKの遷移に対して左寄せされますが、1 BCLK周期分遅延しています。I^2Sモードは24ビットまでの任意のビット数を受け入れるのに使用できます。

図3は左寄せモードを示します。L/$\overline{R}$CLKは左チャンネルの場合はHI、右チャンネルの場合はLOです。データはBCLKの立上がりエッジで有効になります。MSBはL/$\overline{R}$CLK遷移に対して左寄せされ、MSBの遅延はありません。左寄せモードでは、24ビットまでの任意のワード長を受け入れることができます。

図4はDSPシリアル・ポート・モードを示します。左チャンネルのMSBが有効になる前に、L/$\overline{R}$CLKには最低1ビット・クロック期間、HIパルスを加えなければなりません。同様に右チャンネルのMSBが有効になる前にも、L/$\overline{R}$CLKには最低1ビット・クロック期間、HIパルスを加える必要があります。データはBCLKの立下がりエッジで有効になります。DSPシリアル・ポート・モードは、24ビットまでの任意のワード長で使用できます。

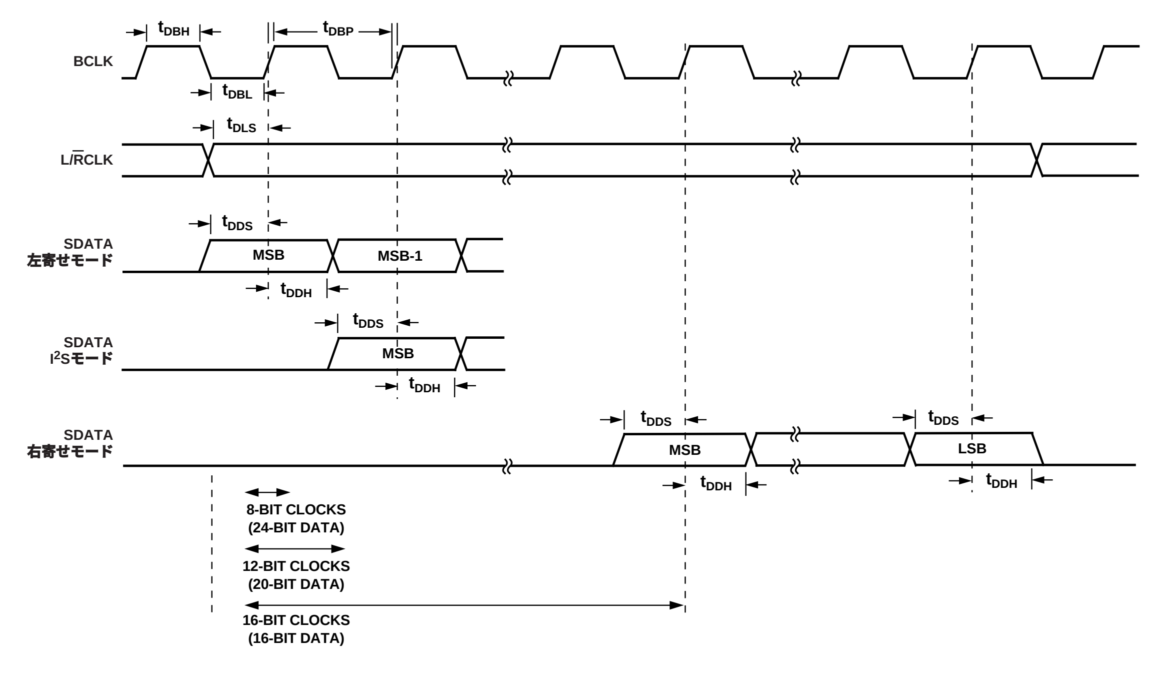


図6．シリアル・データ・ポートのタイミング

表II.

チップ・モード	許容マスター・クロック周波数	公称入力サンプル・レート	内部シグマーデルタ・クロック・レート
INT8×モード	$256\times F_S$, $384\times F_S$, $512\times F_S$, $768\times F_S$, $1024\times F_S$	48kHz	$128\times F_S$
INT4×モード	$128\times F_S$, $192\times F_S$, $256\times F_S$, $384\times F_S$, $512\times F_S$	96kHz	$64\times F_S$
INT2×モード	$64\times F_S$, $96\times F_S$, $128\times F_S$, $192\times F_S$, $256\times F_S$	192kHz	$32\times F_S$

このモードでは、DSPによって左のデータが最初のLRCLKパルスで送信され、それ以降は同期が維持されます。

AD1853は$32\times F_S$ BCLK周波数の「パック・モード」での動作が可能であることに注意してください。パック・モードでは、MSBはL/$\overline{R}$CLKの遷移に対し左寄せにされ、LSBは逆のL/$\overline{R}$CLK遷移に対して右寄せされます。L/$\overline{R}$CLKは左チャンネルの場合はHI、右チャンネルの場合はLOです。データはBCLKの立上がりエッジで有効になります。パック・モードは、AD1853が右寄せまたは左寄せモードでプログラムされているときに使用できます。パック・モードを図5に示します。

マスター・クロック自動分周機能

AD1853にはマスター・クロックと着信シリアル・データの関係を自動検出する回路があり、補間回路と変調器を動作させるための正しい分周比を内部で設定します。各モードの許容周波数を表IIに示します。

シリアル・コントロール・ポート

AD1853のシリアル・コントロール・ポートはSPI互換です。SPI（シリアル・ペリフェラル・インターフェース）は、業界標準のシリアル・ポート・プロトコルです。シリアル・コントロール・ポートは書き込み専用で、ユーザーは入力モードの選択、ソフト・リセット、ソフト・ディエンファシス、チャンネル特定減衰およびミュート（両チャンネル同時）が行えます。SPIポートは、シリアル・データ（CDATA）、シリアル・ビット・クロック（CCLK）およびデータ・ラッチ（CLATCH）による3線式インターフェースです。データはCCLKの立上がりエッジで内部シフト・レジスタにクロックされます。シリアル・データはCCLKの立下がりエッジで変化し、CCLKの立上がりエッジで安定していなければなりません。CLATCHの立上がりエッジは、シリアル－パラレル・コンバータからのパラレル・データをラッチするため内部で使用されます。この立上がりエッジは、16ビット・フレームの最後のCCLKパルスの立下がりエッジに揃っていなければなりません。CCLKは処理の間、連続して動作できます。

このシリアル・コントロール・データは、MSB優先の符号なし16ビット・データです。ビット0と1は3つのレジスタ（コントロール、左ボリューム、右ボリューム）から1つを選択するのに使用します。残りの14ビット（ビット15：2）は、選択されたレジスタにデータを伝えるのに使用します。ボリューム・レジスタを選択した場合、上位14ビットはデジタル入力信号をコントロール・ワードで乗算するのに使用されます。これは符号なし数値と解釈されます（例えば、11111111111111は0dBで、01111111111111は−6dBなど）。起動時のデフォルトのボリューム・コントロール・ワードはすべて1（0 dB）です。コントロール・レジスタはデータを伝えるのにビット11：2のみ使用します。いくつかのテスト・モードでは上位ビット（15：12）からデコードされるので、上位ビットには常にゼロを書き込まなければなりません。コントロール・レジスタは起動時に、8×補間モード、24ビット右寄せシリアル・モード、ミュートなし、ディエンファシス・フィルタなしに、デフォルトで設定されます。このリセット・デフォルトは、シリアル・コントロール・ポートを使用しないでAD1853アプリケーションをイネーブルにするためです。シリアル・コントロール・ポートを使用しないユーザーは、MUTEピン（ピン23）の信号を使用してもAD1853の出力をミュートできます。

シリアル・コントロール・ポートのタイミングは、シリアル・データ・ポートのタイミングと非同期であることに注意してください。減衰器レベルでの変更は、図6に示すとおり、CLATCH書き込みパルス後の次のLRCLKエッジで更新されます。

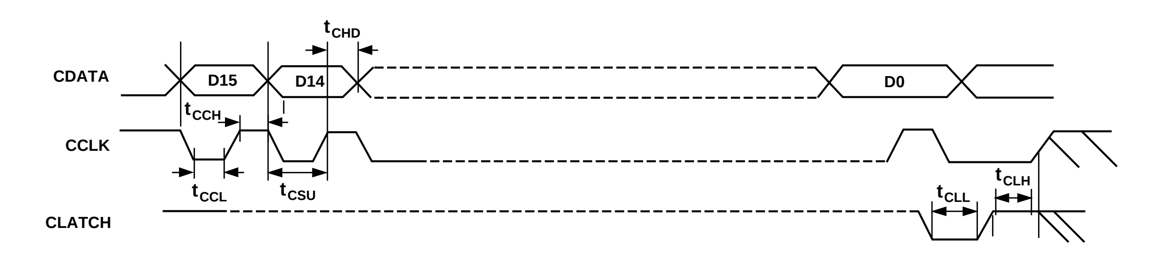


図7．シリアル・コントロール・ポートのタイミング

表III. デジタル・タイミング

		Min	単位
t_{CCH}	CCLK HIパルス幅	40	ns
t_{CCL}	CCLK LOパルス幅	40	ns
t_{CSU}	CDATAセットアップ時間	10	ns
t_{CHD}	CDATA保持時間	10	ns
t_{CLL}	CLATCH LOパルス幅	10	ns
t_{CLH}	CLATCH HIパルス幅	10	ns

SPIレジスタの定義

SPIポートにより、多くのチップ・パラメータを柔軟に制御することができます。SPIポートは、「左チャンネル・ボリューム」レジスタ、「右チャンネル・ボリューム」レジスタ、および「コントロール」レジスタの3つのレジスタを中心に構成されています。AD1853の SPIコントロール・ポートへの書き込み動作には、MSB優先フォーマットの16ビット・シリアル・データが必要です。下位2ビットは3つのレジスタの1つを選択するのに使用され、上位14ビットがそのレジスタに書き込まれます。これにより、1回の16ビット処理で3つのレジスタのうちの1つに書き込むことができます。

SPI CCLK信号はデータをクロックインするのに使用されます。着信データはこの信号の立下がりエッジで変化しなければなりません。16 CCLK期間の終わりには、CLATCH信号が立ち上がって、内部でAD1853にデータをラッチしなければなりません。

レジスタ・アドレス

16ビット入力ワードの最下位2ビットは、以下のようにデコードされ、上位14ビットが書き込まれるレジスタを設定します。

ビット1	ビット0	レジスタ
0	0	左ボリューム
1	0	右ボリューム
0	1	コントロール・レジスタ

左ボリュームおよび右ボリューム・レジスタ

左または右ボリューム・レジスタに書き込むと、AD1853の「自動ランプ」クリックレス・ボリューム・コントロール機能が有効になります。この機能は、以下のとおり動作します。ボリューム・コントロール・ワードの上位10ビットは、入力サンプル・レートと同じに1つずつ増加または減少します。下位4ビットは自動ランプ回路には送られないため、直ちに有効になります。これにより、60 dB以上のステップ変化に対し、最悪時で約1024/FSのランプ時間を与えます。これは音量が大きく変化する際の「クリック」音を防止するために、聴覚試験により決定されたものです。音量が時間とともにどのように変化するかを示した図8を参照してください。

信号を増幅するのに14ビットのボリューム・コントロール・ワードが使用されるので、コントロール特性はdBではなく直線になります。一定のdB/ステップ特性は、SPIポートに書き込みを行うマイクロプロセッサのルックアップ・テーブルを用いて得ることができます。

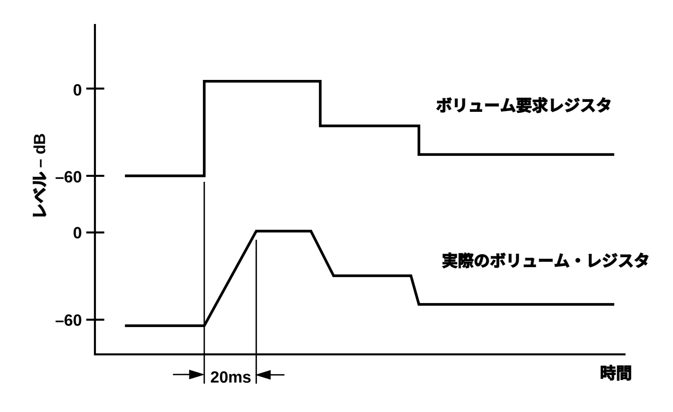


図8. スムーズなボリューム・コントロール

コントロール・レジスタ

下表にコントロール・レジスタの機能を示します。コントロール・レジスタは、16ビットのSPIワードの下位2ビットを「01」にすることによってアドレス指定されます。上位14ビットはコントロール・レジスタに使用されます。

ビット11	ビット10	ビット9:8	ビット7	ビット6	ビット5:4	ビット3:2
INT2×モード ピンとORされる デフォルト＝0	INT4×モード ピンとORされる デフォルト＝0	右寄せシリアル・モードでのビット数 0:0＝24 0:1＝20 1:0＝16 デフォルト＝0:0	ソフト・リセット デフォルト＝0	ソフト・ミュート、ピンとORされる デフォルト＝0	シリアル・モード、モード・ピンとORされる IDPMI:IDPM0 0:0 右寄せ 0:1 I^2S 1:0 左寄せ 1:1 DSPモード デフォルト＝0:0	ディエンファシス・フィルタ選択 0:0 フィルタなし 0:1 44.1 kHzフィルタ 1:0 32 kHzフィルタ 1:1 48 kHzフィルタ デフォルト＝0.0

ミュート

AD1853でのアナログ出力のミュートは、2つの方法があります。まず、MUTE（ピン23）信号をHIにアサートすることにより、左右の両チャンネルがミュートされます。別の方法として、シリアル・コントロール・レジスタのミュート・ビット（ビット6）をHIにしてもミュートできます。AD1853は、自動的にゲインをゆるやかに上下させてミュートまたはアンミュートすることで、ポップ・ノイズやクリック・ノイズを最小限に抑える設計です。アンミュートすると、音量はボリューム・レジスタに設定された値に戻ります。

アナログ減衰

AD1853はIREF（ピン10）を使用して、アナログ領域で最大50 dBの減衰が可能です。この機能はアナログ・ボリューム・コントロールとしても使用できます。また、コンプレッサ/リミッタ・ゲイン・コントロール信号を加えるのにも便利です。

出力ドライブ、バッファ、負荷

AD1853のアナログ出力段は、1 kΩの負荷（2 nFと直列）をドライブできます。アナログ出力は、通常10 μFコンデンサとAC結合されます。

ディエンファシス

AD1853は、「Redbook」規格の50/15 μsエンファシス応答特性曲線によってエンコードされたCDのデコードに使用可能なディエンファシス・フィルタを内蔵しています。サンプリング・レート32、44.1、48 kHz用の3種類の曲線を使用できます。外部「DEEMP」ピン（ピン9）は、44.1 kHzのディエンファシス・フィルタをオンにします。その他のフィルタは、コントロール・レジスタのコントロール・ビット2と3に書き込んで選択できます。SPIポートを使用してディエンファシス・フィルタを制御する場合、外部DEEMPピンはLOに接続しなければなりません。

コントロール信号

IDPM0およびIDPM1コントロール入力は、AD1853の動作状態を決めるために、通常HIまたはLOに接続されます。コントロール信号は、動的（およびLRCLKとマスター・クロックに対して非同期）に変更できますが、あるシリアル・モードから別のモードに移行する間に、クリック音やポップ音が発生する可能性があります。可能であれば、このような変更を行う前にAD1853をミュートにしてください。

図9～14に、デジタル補間フィルタの算定周波数応答を示します。また図15～27に、2段カスケード接続の高精度オーディオ測定システムで測定したAD1853の性能を示します。広帯域プロットの場合、図に示されるノイズ・フロアは、AD1853の実際のノイズ・フロアより高くなります。これは、高精度オーディオ測定システムで使用した「高帯域幅」のA/Dコンバータのノイズ・フロアが高いことが原因です。図18に示す2トーン・テストは、SMPTE規格に従った混変調歪み測定です。

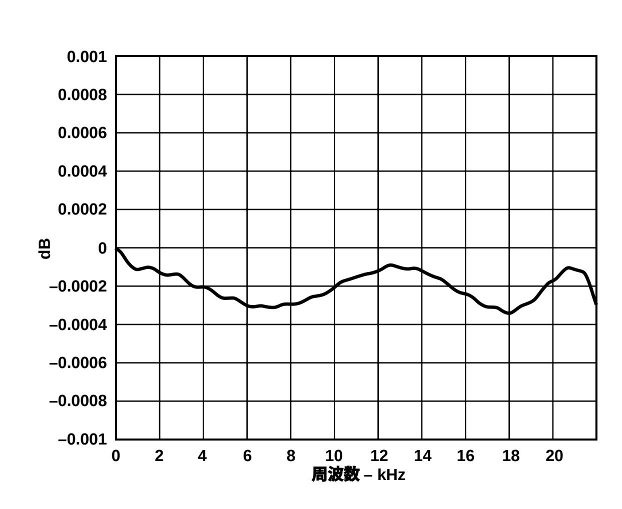


図9．パスバンド応答、8×モード、サンプル・レート48kHz

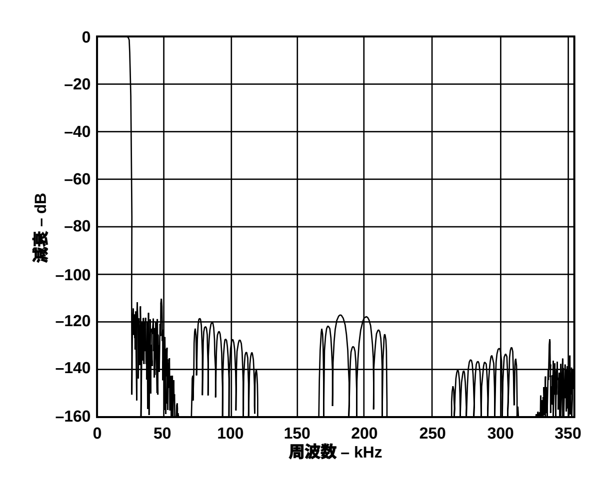


図10．全帯域応答、8×モード、サンプル・レート48kHz

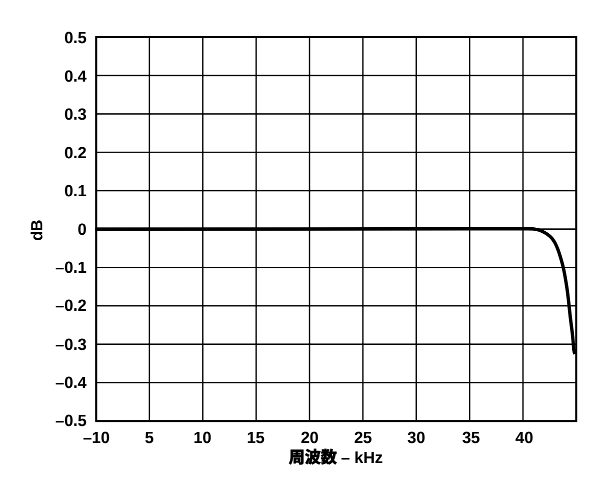


図11．44kHzパスバンド応答、4×モード、
サンプル・レート96kHz

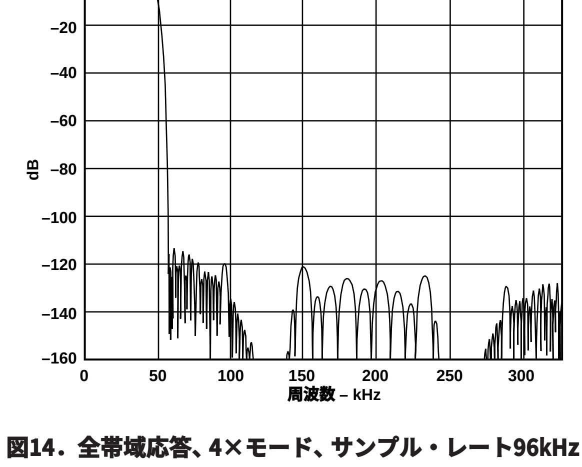


図14．全帯域応答、4×モード、サンプル・レート96kHz

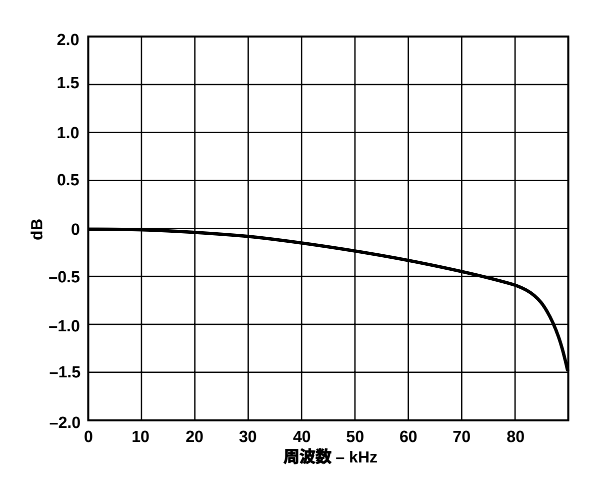


図12．88kHzパスバンド応答、2×モード、
サンプル・レート192kHz

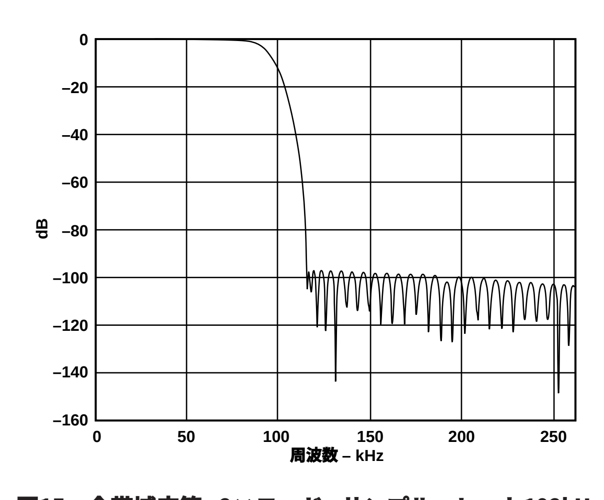


図15．全帯域応答、2×モード、サンプル・レート192kHz

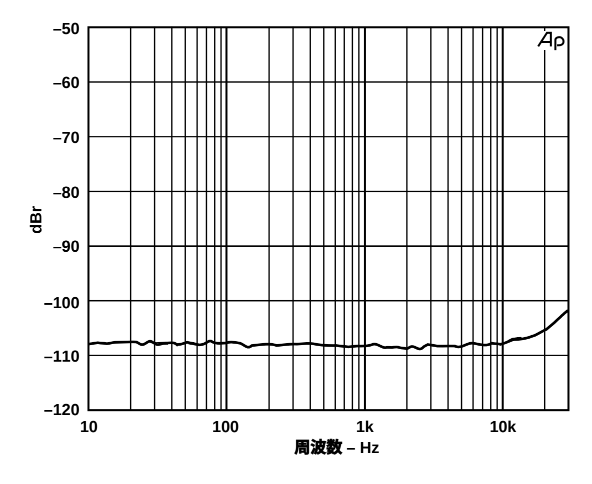


図13．THD 対 入力周波数（@ －3dBFS、SR 48kHz）

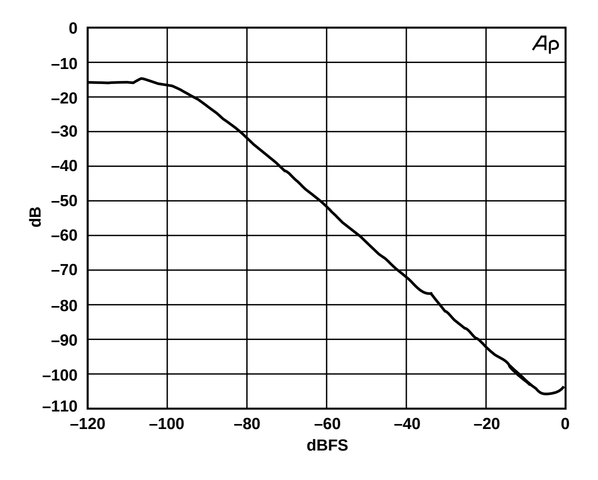


図16．THD＋N比 対 入力振幅（1kHz、SR 48kHz、24ビット）

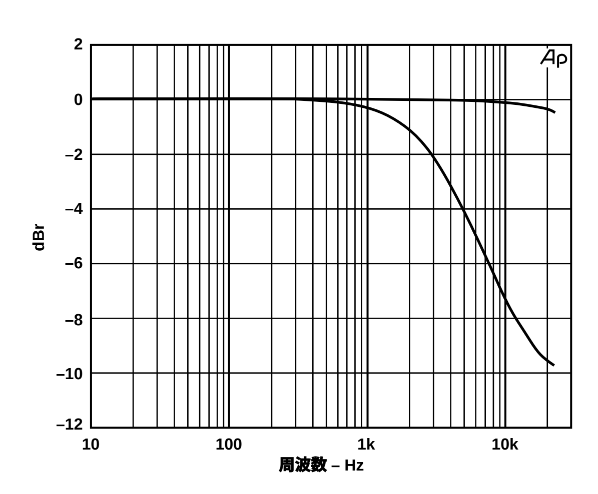


図17．通常のディエンファシス周波数応答入力
（@ −10dBFS、SR 48kHz）

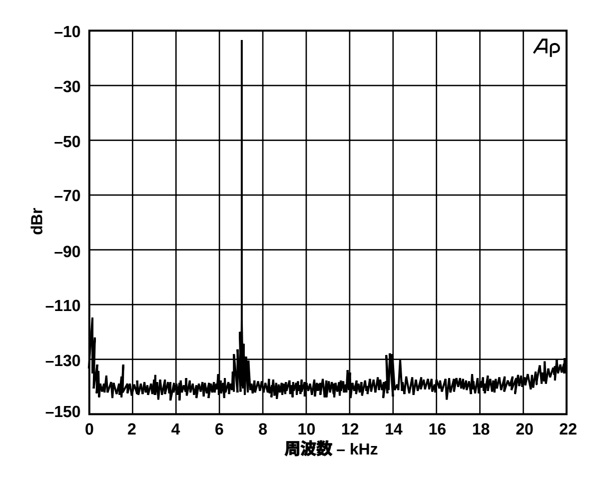


図18．SMPTE/DIN 4：1 IMD 60Hz/7kHz @ 0dBFS

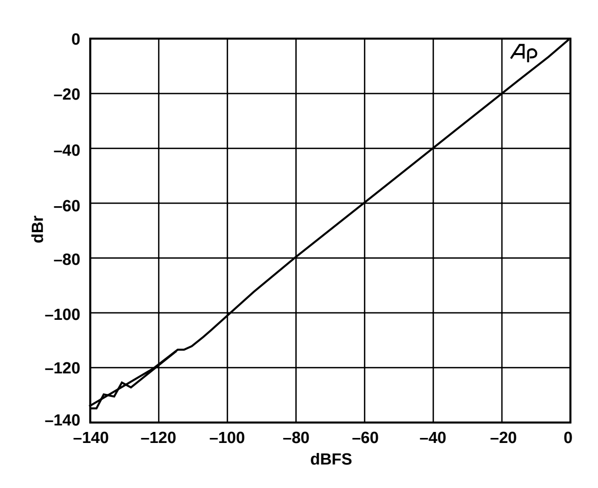


図19．直線性 対 入力振幅（200Hz、SR 48kHz、24ビット・ワード）

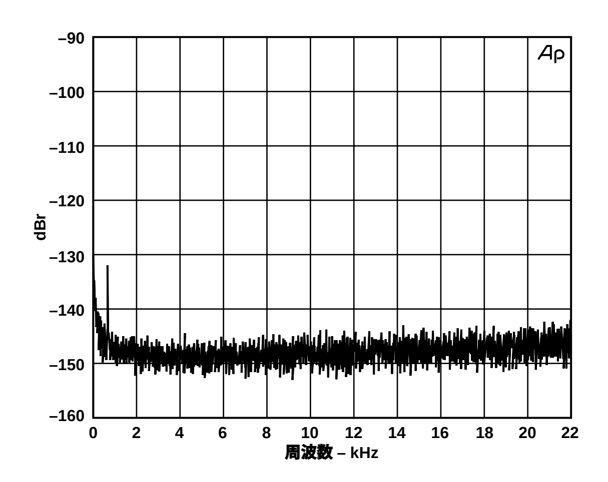


図20．ゼロ入力に対するノイズ・フロア、
SR 48kHz、S/N比−117dBFS Aウェイト

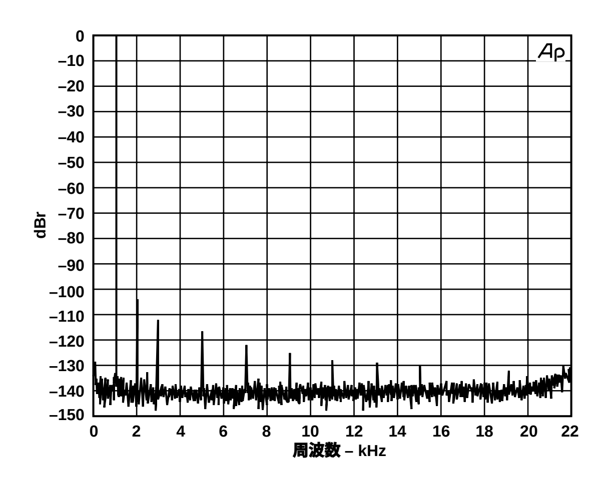


図21．入力0dBFS @ 1kHz、10Hz ～ 22kHz帯域、
SR 48kHz、THD＋N 104dBFS

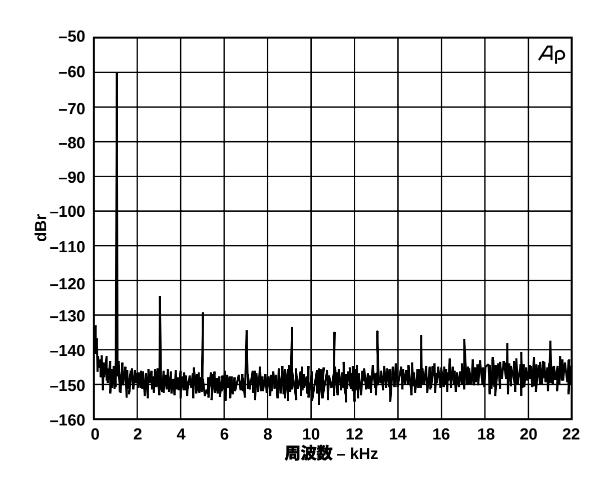


図22．1kHz @ −60dBFSに対するダイナミックレンジ、
116dB、ジッターのある三角波入力

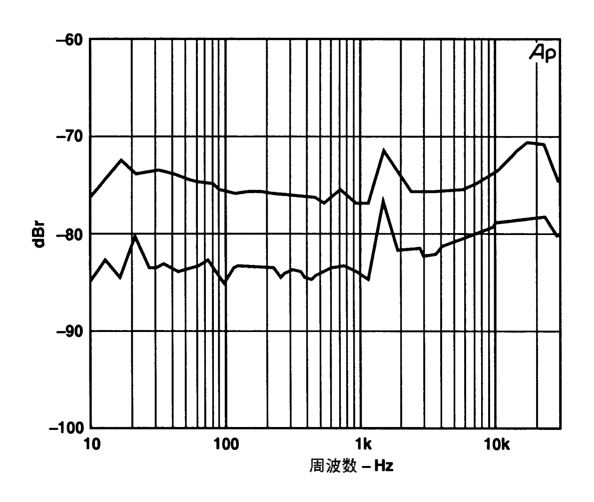


図23．電源除去比 対 周波数（AV$_{DD}$ 5V DC＋100mVp-p AC）

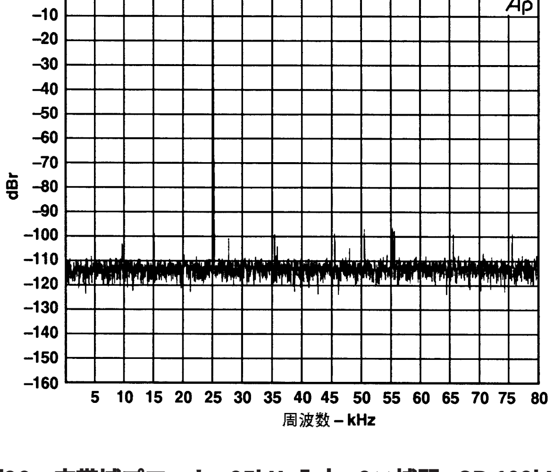


図26．広帯域プロット、25kHz入力、2×補間、SR 192kHz

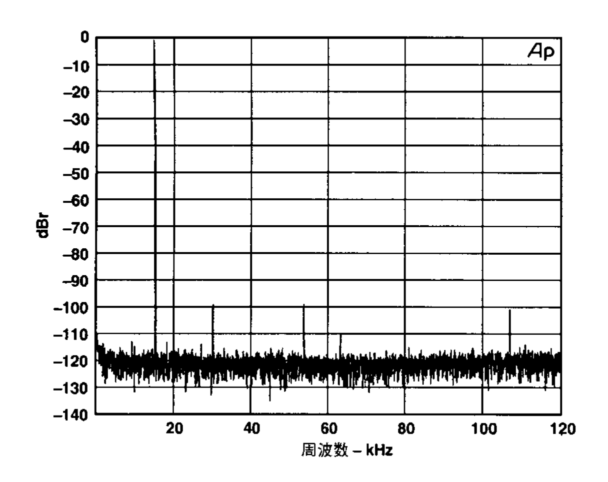


図24．広帯域プロット、15kHz入力、8×補間、SR 48kHz

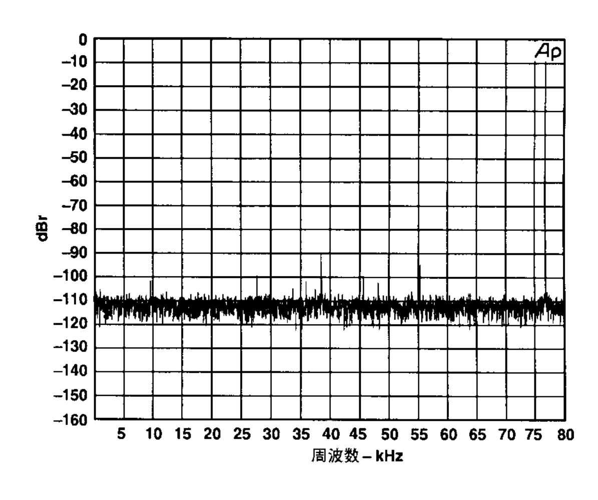


図27．広帯域プロット、75kHz入力、2×補間、SR 192kHz

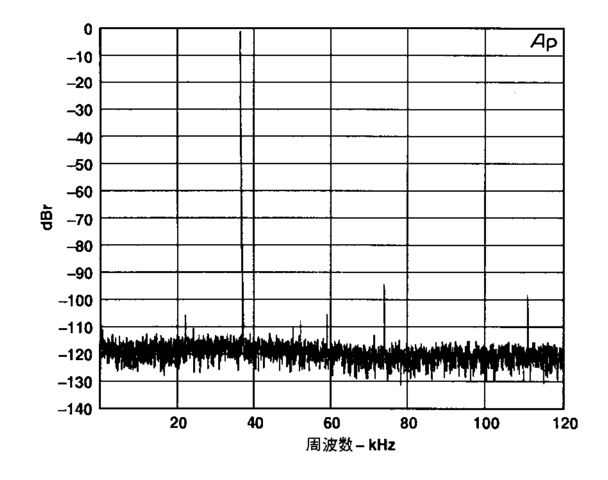


図25．広帯域プロット、37kHz入力、4×補間、SR 96kHz

ステレオ・モード出力フィルタ

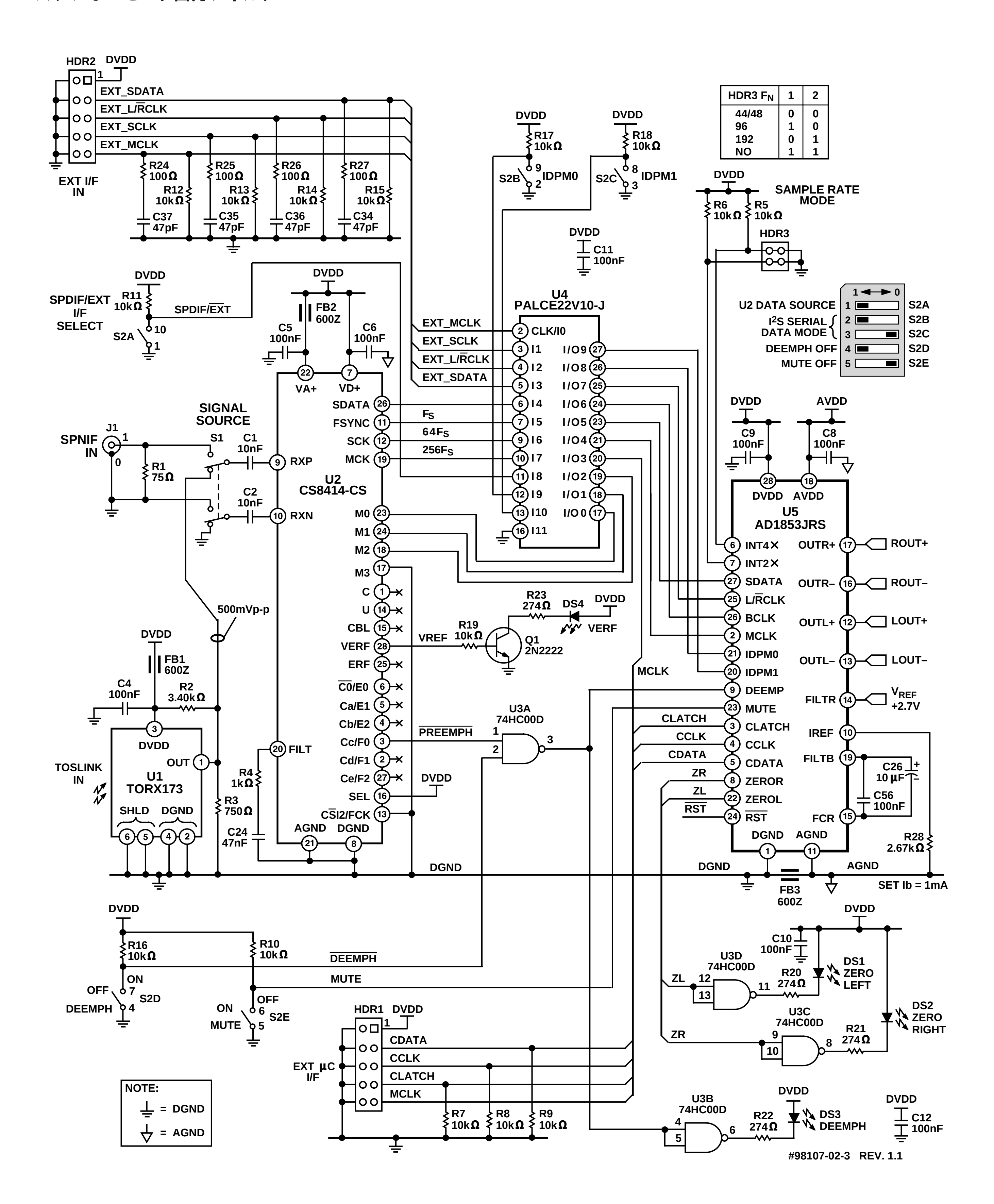


図28．デジタル・レシーバ、MUX、およびD/AコンバータAD1853

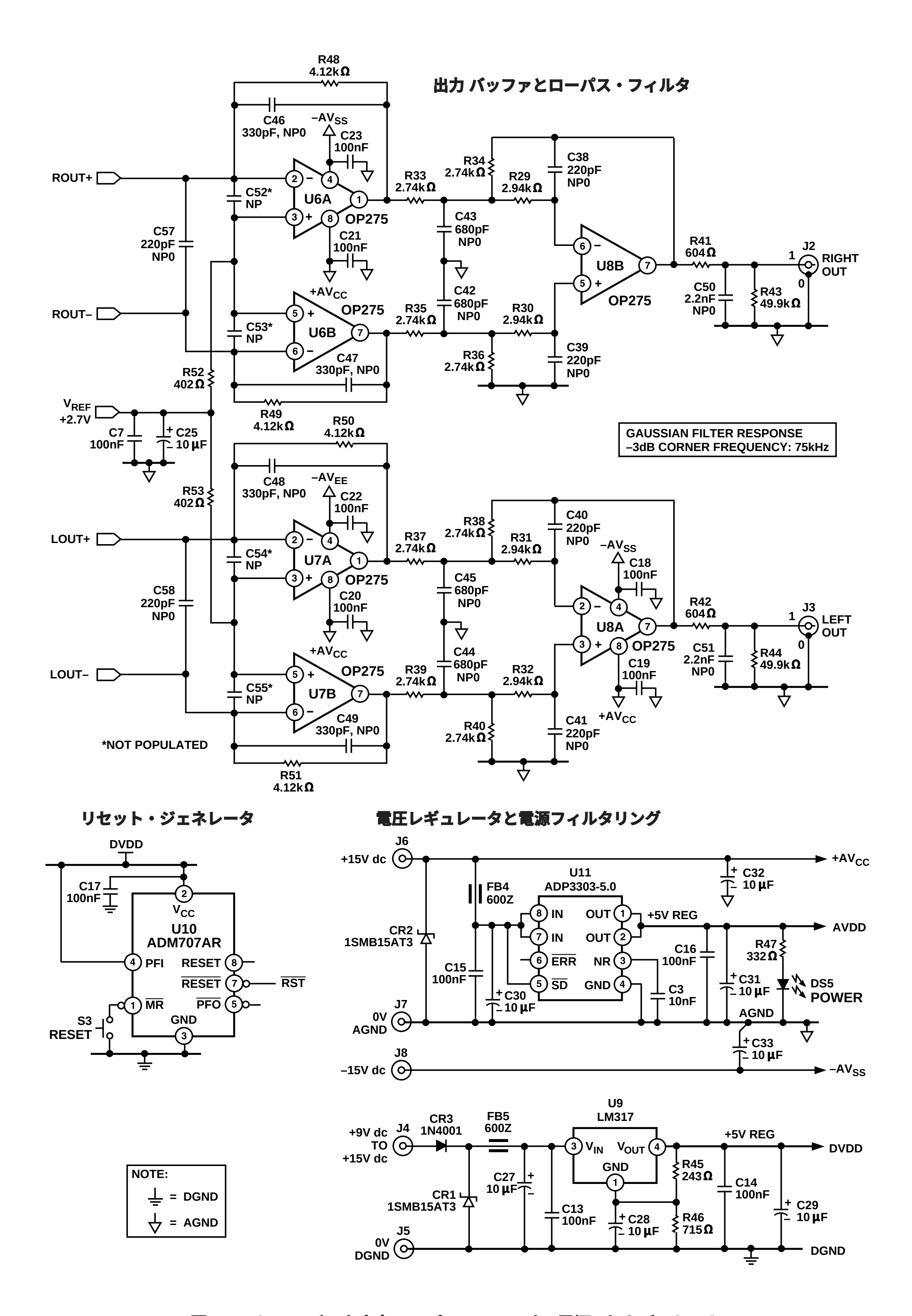


図29．D/Aコンバータ出力ローパス・フィルタ、電源、およびリセット

I/Vコンバータとローパス・フィルタ

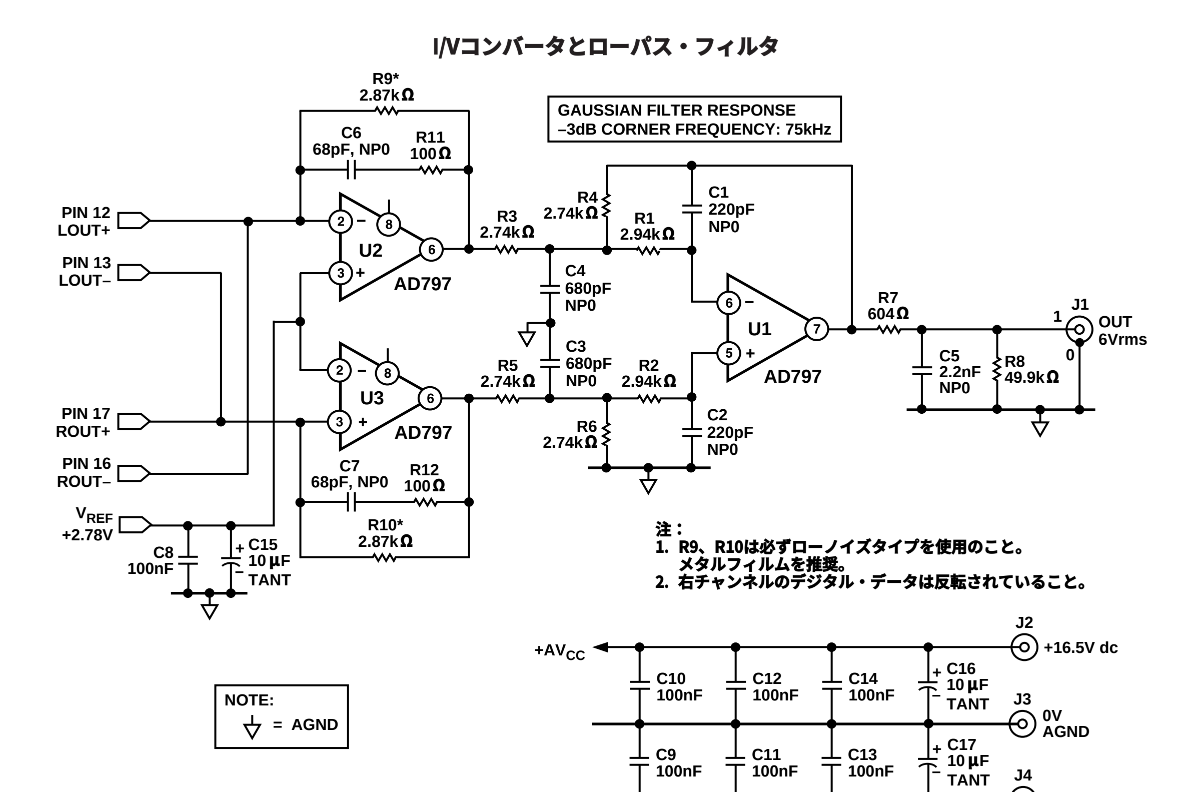


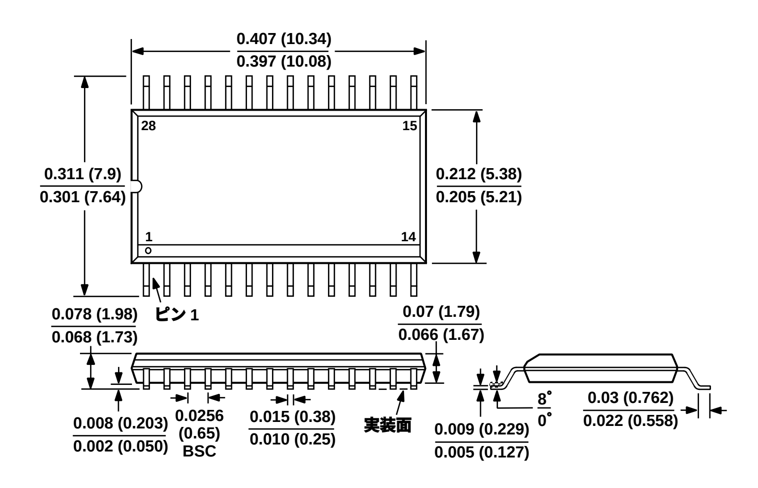
図30．モノラル・アプリケーション回路

D1108-2.7-8/99,1A

外形寸法

サイズはインチと（mm）で示します。

20ピン縮小スモール・アウトライン・パッケージ（SSOP）（RS－28）



PRINTED IN JAPAN